

Handwritten: P.S. Priority paper 6/12/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Susumu Kubota et al.
Serial No. :
Filed : February 28, 2002
Title : MICROCOMPUTER

Art Unit : Unknown
Examiner : Unknown

1c979 U.S. PRO
10/085013
02/26/02

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

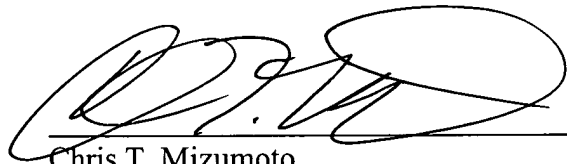
· Japan Application No. 2001-057677 filed March 2, 2001

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: February 28, 2002



Chris T. Mizumoto
Reg. No. 42,899

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, New York 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30084487.doc

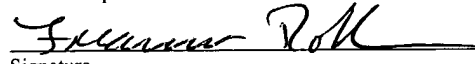
CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Label No. EF045065616US

I hereby certify under 37 CFR §1.10 that this correspondence is being deposited with the United States Postal Service as Express Mail Post Office to Addressee with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

February 28, 2002

Date of Deposit



Signature

Francisco Robles

Typed or Printed Name of Person Signing Certificate

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC978 U.S. PTO
10/085013
02/28/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 3月 2日

出 願 番 号
Application Number:

特願2001-057677

[ST.10/C]:

[JP2001-057677]

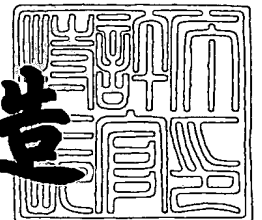
出 願 人
Applicant(s):

三洋電機株式会社

2002年 1月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3116314

【書類名】 特許願

【整理番号】 KIA1010029

【提出日】 平成13年 3月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/04

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 久保田 晋

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 山田 進

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

 【識別番号】 100107906

 【弁理士】

 【氏名又は名称】 須藤 克彦

 【電話番号】 0276-30-3151

【選任した代理人】

 【識別番号】 100091605

 【弁理士】

 【氏名又は名称】 岡田 敬

【手数料の表示】

 【予納台帳番号】 077770

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロコンピュータ

【特許請求の範囲】

【請求項1】 バックアップ用コンデンサが付加された第1の電源と、バックアップ用コンデンサが付加されない第2の電源と、前記第2の電源に付加された抵抗負荷と、を備え、

前記第2の電源による電源電圧の供給が停止したときに前記抵抗負荷により前記第2の電源のレベルは、第1の状態から第2の状態に変化すると共に、前記第2の電源による電源電圧の供給が再開したときに前記第2の電源のレベルは、前記第2の状態から前記第1の状態に復帰することを特徴とするマイクロコンピュータ。

【請求項2】 請求項1に記載したマイクロコンピュータであって、前記第2の電源のレベル変化に応じてリセット信号を出力するリセット信号発生回路を有し、前記第2の電源のレベルが前記第2の状態から前記第1の状態に復帰するのに応じて、前記リセット信号発生回路からリセット信号を出力することを特徴とするマイクロコンピュータ。

【請求項3】 請求項2に記載したマイクロコンピュータであって、前記第2の電源のレベルと所定の基準電圧とを比較するコンパレータ回路を有し、前記リセット信号発生回路は、このコンパレータ回路の出力に応じてリセット信号を出力することを特徴とするマイクロコンピュータ。

【請求項4】 請求項3に記載したマイクロコンピュータであって、前記負荷抵抗はマイクロコンピュータに外付されていることを特徴とするマイクロコンピュータ。

【請求項5】 請求項4に記載したマイクロコンピュータであって、前記コンパレータ回路に前記第1の電源からの電源電圧を供給したことを特徴とするマイクロコンピュータ。

【請求項6】 請求項3に記載したマイクロコンピュータであって、前記負荷抵抗はマイクロコンピュータに内蔵されていることを特徴とするマイクロコンピュータ。

【請求項 7】 請求項 6 に記載したマイクロコンピュータであって、前記コンパレータ回路に前記第 2 の電源からの電源電圧を供給することにより、前記コンパレータ回路を前記負荷抵抗として兼用したことを特徴とするマイクロコンピュータ。

【請求項 8】 バックアップ用コンデンサが付加された第 1 の電源と、バックアップ用コンデンサが付加されない第 2 の電源と、前記第 2 の電源が供給された出力バッファ回路と、前記第 1 の電源が供給された、前記出力バッファ回路を除く他の回路ブロックと、前記第 2 の電源に付加された抵抗負荷と、を備え、

前記第 1 及び第 2 の電源の電源電圧は外部の電源回路から供給され、前記電源回路からの電源電圧の供給が停止したときに前記抵抗負荷により前記第 2 の電源のレベルは、第 1 の状態から第 2 の状態に変化すると共に、前記電源回路からの電源電圧の供給が再開したときに前記第 2 の電源のレベルは、前記第 2 の状態から前記第 1 の状態に復帰することを特徴とするマイクロコンピュータ。

【請求項 9】 請求項 8 に記載したマイクロコンピュータであって、前記第 2 の電源のレベル変化に応じてリセット信号を出力するリセット信号発生回路を有し、前記第 2 の電源のレベルが前記第 2 の状態から前記第 1 の状態に復帰するのに応じて、前記リセット信号発生回路からリセット信号を出力することを特徴とするマイクロコンピュータ。

【請求項 10】 請求項 9 に記載したマイクロコンピュータであって、前記第 2 の電源のレベルと所定の基準電圧とを比較するコンパレータ回路を有し、前記リセット信号発生回路は、このコンパレータ回路の出力に応じてリセット信号を出力することを特徴とするマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はマイクロコンピュータに関し、特に電源状態に応じて的確にリセットスタート等の状態設定を行うことができるマイクロコンピュータに関する。

【0002】

【従来の技術】

マイクロコンピュータは、各種の電子機器を制御するために広く用いられている。図6に示すように、一般にマイクロコンピュータ100の電源は電子機器に設けられた電源回路10から供給される。そして、電源回路10がオフ状態になると、マイクロコンピュータ100に内蔵された検知回路101は、電源電圧VDDのレベルの異常状態を検知する。これにより、マイクロコンピュータ100は自己の状態設定を行ったり、電源回路10からの電源供給が復帰したときにリセットスタートを行っていた。

【0003】

【発明が解決しようとする課題】

ところで、一般にマイクロコンピュータ100には、バックアップ用コンデンサ30が電源に付加される。これは、電源回路10がオフ状態なった場合、一時的に電源電圧VDDのレベルを維持することにより、スタンバイ状態においてマイクロコンピュータ100に内蔵されたRAMやレジスタ等のデータの記憶状態を保持するためである。

【0004】

このため、電源電圧VDDのレベルを検知する検知回路101を有していても、電源回路10のオン・オフによる電源電圧VDDのレベル変化が少ないために、マイクロコンピュータ100は電源状態に応じて的確にリセット等の状態設定を行うことが困難であった。

【0005】

本発明の目的は電源状態に応じて的確に状態設定を行うことができるマイクロコンピュータを提供することである。本発明の他の目的は、バックアップ状態から復帰後のリセットスタート動作を高い精度で行うことができるマイクロコンピュータを提供することである。

【0006】

【課題を解決するための手段】

本発明のマイクロコンピュータは、バックアップ用コンデンサが付加された第1の電源と、バックアップ用コンデンサが付加されない第2の電源と、第2の電源に付加された抵抗負荷と、を備え、第2の電源による電源電圧の供給が停止し

たときに抵抗負荷により第2の電源のレベルは、第1の状態から第2の状態に変化すると共に、第2の電源による電源電圧の供給が再開したときに、第2の電源のレベルは、第2の状態から第1の状態に復帰する。

【0007】

この発明はバックアップ用コンデンサが付加された第1の電源と、バックアップ用コンデンサが付加されない第2の電源を有するマイクロコンピュータに適用される。第1の電源は例えばCPU、RAM、レジスタ等のコンデンサバックアップが必要な回路ブロックに供給される。第2の電源はコンデンサバックアップを必要としない回路、例えば入出力回路等に供給される。

【0008】

そして、第2の電源に抵抗負荷を付加しているので、第2の電源による電源電圧の供給が停止したときに第2の電源のレベルは、第1の状態（ハイレベル）から第2の状態（ロウレベル）に変化する。次に、第2の電源による電源電圧の供給が再開したときに、第2の電源のレベルは、第2の状態（ロウレベル）から第1の状態（ハイレベル）に復帰する。

【0009】

したがって、電源供給停止時と電源供給再開時における第2の電源のレベル変化が明確になるので、このレベル変化を検知することにより、マイクロコンピュータの状態設定（例えば、スタンバイモードへの突入、電源供給再開時のリセットスタート）を的確に行うことができる。

【0010】

また、上記特徴構成に加えて、第2の電源のレベル変化に応じてリセット信号を出力するリセット信号発生回路を有し、第2の電源のレベルが第2の状態から第1の状態に復帰するのに応じて、リセット信号発生回路からリセット信号を出力する。

【0011】

上述したように電源供給停止状態から電源供給が再開されたとき、第2の電源のレベル変化（ハイレベル→ロウレベル）が明確になるので、上記リセット信号発生回路により確実にリセット信号を出力することができる。マイクロコンピュ

ータはこのリセット信号を用いてリセットスタートを行う。

【0012】

【発明の実施の形態】

次に、本発明の実施形態に係るマイクロコンピュータについて図面を参照しながら説明する。図1は、マイクロコンピュータの構成を示す図である。電子機器に設けられた電源回路10から電源電圧VDDINがマイクロコンピュータ100に設けられた第1の電源端子11及び第2の電源端子12に供給される。第1の電源端子11から内部配線された電源線が第1の電源VDD1を構成する。また、第2の電源端子12から内部配線された電源線が第2の電源VDD2を構成する。

【0013】

また、電源端子11にはバックアップ用コンデンサ30が接続されることにより、第1の電源VDD1にはバックアップ用コンデンサ30が付加される。この第1の電源VDD1は、マイクロコンピュータ100内部のCPU、RAM、各種レジスタ等の回路ブロック80に供給される。これにより、電源回路10からの電源電圧VDDINの供給が停止した場合であっても、スタンバイモードにおいて上記回路ブロック80内のデータを保持することができる。

【0014】

第2の電源VDD2にはバックアップ用コンデンサ30が付加されていない。その代わりに、電源端子12とアース間に抵抗負荷40が接続されることにより、第2の電源VDD2に抵抗負荷40が付加される。この第2の電源VDD2は、マイクロコンピュータ100内部の出力回路70に供給される。また、第2の電源VDD2は、そのレベル変化を検知してリセット信号RSPを出力するリセット信号発生回路60に供給されている。

【0015】

このように本実施形態のマイクロコンピュータ100は、2系統の電源VDD1、VDD2を有している。このように電源系統を分けることにより、出力回路70のスイッチングに伴うノイズが別の系統の電源（本実施形態では第1の電源VDD1）に悪影響を及ぼすのを防止することができる。

【0016】

また、電源回路 1 0 から第 1 の電源 VDD1 及び第 2 の電源 VDD2 への電圧供給経路にはダイオード 2 0, 2 1 が介挿されており、第 1 の電源 VDD1 との第 2 の電源 VDD2 間のノイズによる相互干渉を防止している。

【 0 0 1 7 】

そして、本発明は上述したような 2 系統の電源 VDD1, VDD2 を有することを前提として、バックアップ用コンデンサ 3 0 が付加されていない第 2 の電源 VDD に対して抵抗負荷 4 0 を付加することにより第 2 の電源 VDD のレベル変化を明確にした。なお、抵抗負荷 4 0 はマイクロコンピュータ 1 0 0 に外部に抵抗部品を外付けしても良いし、マイクロコンピュータ 1 0 0 のチップ内に内蔵化することもできる。

【 0 0 1 8 】

次に図 2 には、リセット信号発生回路 6 0 等の具体的な構成例を示した。リセット信号発生回路 6 0 の前段には、コンパレータ回路 5 0 が設けられている。コンパレータ回路 5 0 の非反転入力端子 (+) には第 2 の電源 VDD2 が供給されている。また、その反転入力端子 (-) には基準電圧 VREF が供給されている。基準電圧 VREF はアースレベル (V_{ss}) と第 2 の電源 VDD2 のハイレベル VDDH の中間レベルに設定される ($V_{ss} < VREF < VDDH$)。

【 0 0 1 9 】

コンパレータ回路 5 0 は例えば CMOS の演算増幅回路を用いて容易に構成することができる。また、コンパレータ回路 5 0 の電源としては、第 1 の電源 VDD1 を用いることにより、電源回路 1 0 からの電源供給が停止した場合にもコンデンサバックアップにより安定した動作を保証することができる。

【 0 0 2 0 】

コンパレータ回路 5 0 は第 2 の電源 VDD2 のレベルと基準電圧 VREF のレベルとを比較し、 $VDD2 > VREF$ の場合はハイレベルを出力し、 $VDD2 < VREF$ の場合はロウレベルを出力する。

【 0 0 2 1 】

また、リセット信号発生回路 6 0 は、NAND 回路 6 2 の一方の入力端子にコンパレータ回路 5 0 の出力を加えると共に、他方の入力端子に遅延回路 6 1 の

出力を加えることによって構成されている。

【0022】

次に、上述した構成のマイクロコンピュータの動作例について図3の動作タイミング図を参照しながら説明する。電源回路10からの電圧供給が停止すると電源電圧VDDINはハイレベル（例えば5V）からロウレベル（例えば0V）に立ち下がり、電圧供給が再開されると電源電圧VDDINはロウレベルからハイレベルに復帰する。第1の電源VDD1にはバックアップ用コンデンサ30が付加されているので、マイクロコンピュータ100のバックアップのために多少の電流が消費されても電源電圧VDDINのレベル変化に伴うレベル変化は小さい。

【0023】

これに対して、第2の電源VDD2にはバックアップ用コンデンサ30は付加されず、その代わりに抵抗負荷40が付加されているので、第2の電源VDD2のレベルは電源電圧VDDINの立ち下がりに基づいてロウレベルに変化する。その後、電源電圧VDDINに伴い、第2の電源VDD2のレベルはハイレベルに復帰する（図中、Aで示す曲線）。もし、抵抗負荷40が付加されていない場合にはレベル変化は非常に小さい（図中、Bで示す曲線）。

【0024】

コンパレータ回路50は、基準電圧VREFとの比較に基づき、第2の電源VDD2のレベル変化を検知して出力信号Vcを出力する。そして、リセット信号発生回路60は、出力信号Vcの立ち上がりを検知して、リセットパルス信号RSPを出力する。

【0025】

図4に、リセット信号発生回路60等の他の構成例を示す。コンパレータ回路50の電源として、第1の電源VDD1ではなく第2の電源VDD2を用いている点が図2に示した構成例と相違している。かかる構成によれば、コンパレータ回路50は抵抗負荷40と兼用することができる。すなわち、コンパレータ回路50には電源電流IDDが流れるから、抵抗負荷40とみなすことができる。これにより、マイクロコンピュータ100の外部の抵抗部品を削減することができる。

【0026】

図5に、マイクロコンピュータ100の入出力回路IOnの構成例を示す。マイクロコンピュータ100には多数の入出力回路が設けられているが、この図では簡単のため、そのうちの1つのみを示した。

【0027】

入出力回路IOnは、出力バッファ71と入力バッファ72とから構成されている。出力バッファ71はCMOSインバータであり、Pチャネル型MOSトランジスタTR1とNチャネル型MOSトランジスタTR2とから構成されている。また入力バッファ72もCMOSインバータであり、Pチャネル型MOSトランジスタTR3とNチャネル型MOSトランジスタTR4とから構成されている。

【0028】

出力バッファ71のトランジスタサイズは入力バッファ72のトランジスタサイズに比して大である。これにより、出力バッファ71の駆動能力は大きく設定されている。出力バッファ71の電源としては、第2の電源VDD2が用いられている。一方、入力バッファ72の電源としては、第1の電源VDD1が用いられている。これは前述したように、出力バッファ71のスイッチングに伴うノイズが電源を介して、他の回路に影響することを防止するためである。

【0029】

上述した実施形態においては、マイクロコンピュータ100は2つの電源を有しているが、これに限定されることなく、2つ以上の電源を有しているマイクロコンピュータに対しても適用することができる。ただし、少なくとも1つの電源にはバックアップ用コンデンサ30が付加され、他の少なくとも1つの電源にはバックアップ用のコンデンサ30が付加されず、その代わりに抵抗負荷40が付加される。

【0030】

【発明の効果】

本発明によれば、バックアップ用コンデンサが付加されていない第2の電源に抵抗負荷を付加したので、電源の停止・再開に伴うレベル変化が明確となり、これを検知することにより電源状態に応じてマイクロコンピュータの状態設定を的確に行うことができる。

【0031】

また、本発明によれば、かかる第2の電源のレベル変化に基づいてリセット信号を作成しているので、コンデンサによるバックアップ状態から復帰後のリセットスタート動作を高い精度で行うことができる。

【図面の簡単な説明】

【図1】

本発明の実施形態に係るマイクロコンピュータの構成を示す回路図である。

【図2】

本発明の実施形態に係るマイクロコンピュータに設けられたリセット信号発生回路等の回路構成図である。

【図3】

本発明の実施形態に係るマイクロコンピュータの動作タイミング図である。

【図4】

本発明の実施形態に係るマイクロコンピュータに設けられたリセット信号発生回路等の他の回路構成図である。

【図5】

本発明の実施形態に係るマイクロコンピュータ100に内蔵された入出力回路IOnの回路構成図である。

【図6】

従来例に係るマイクロコンピュータの構成を示す回路図である。

【符号の説明】

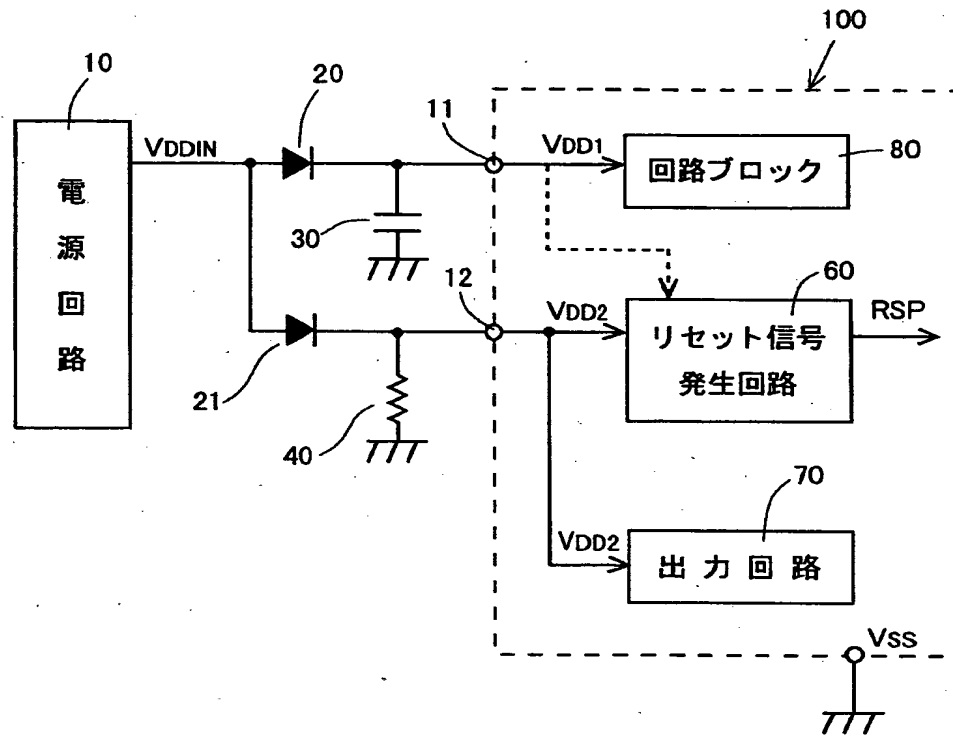
10	電源回路
11, 12	電源端子
20, 21	ダイオード
30	バックアップ用コンデンサ
40	抵抗負荷
50	コンパレータ回路
60	リセット信号発生回路

6 1	遅延回路
6 2	NAND回路
7 0	出力回路
7 1	出力バッファ
7 2	入力バッファ
8 0	回路ブロック
1 0 0	マイクロコンピュータ
1 0 1	検知回路

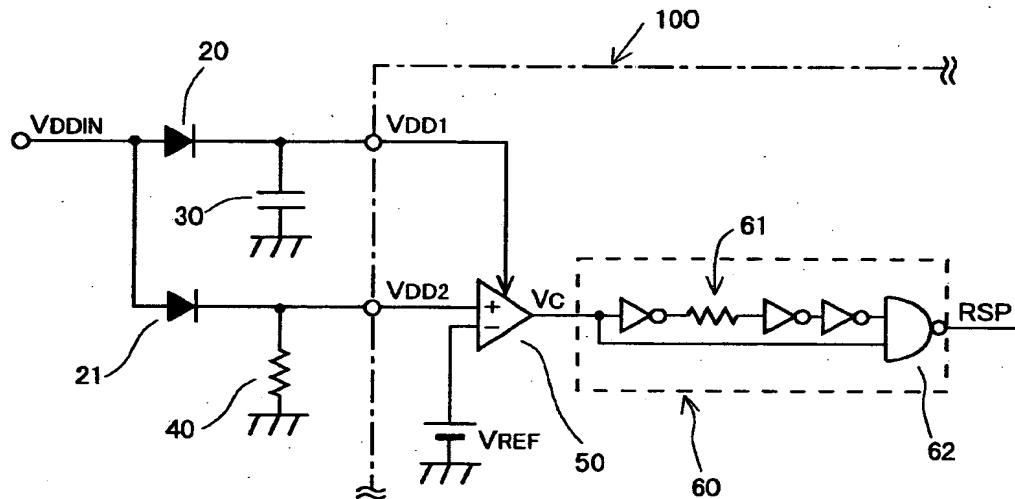
【書類名】

図面

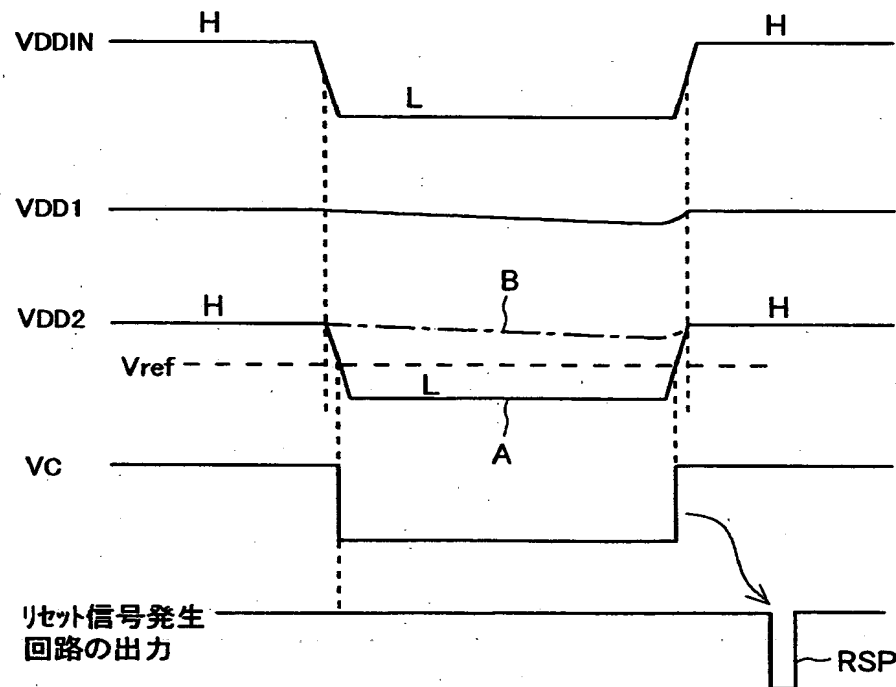
【図1】



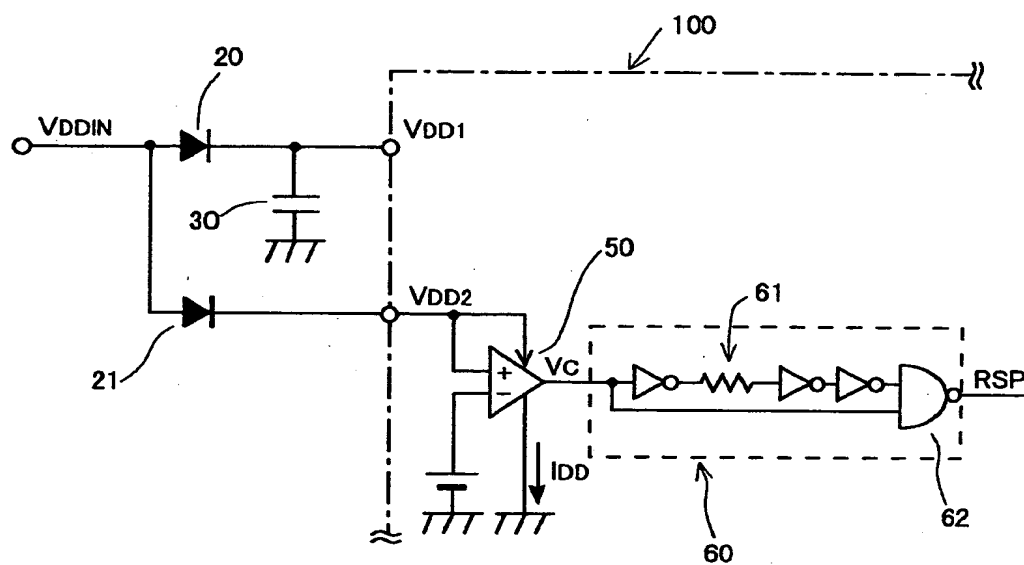
【図 2】



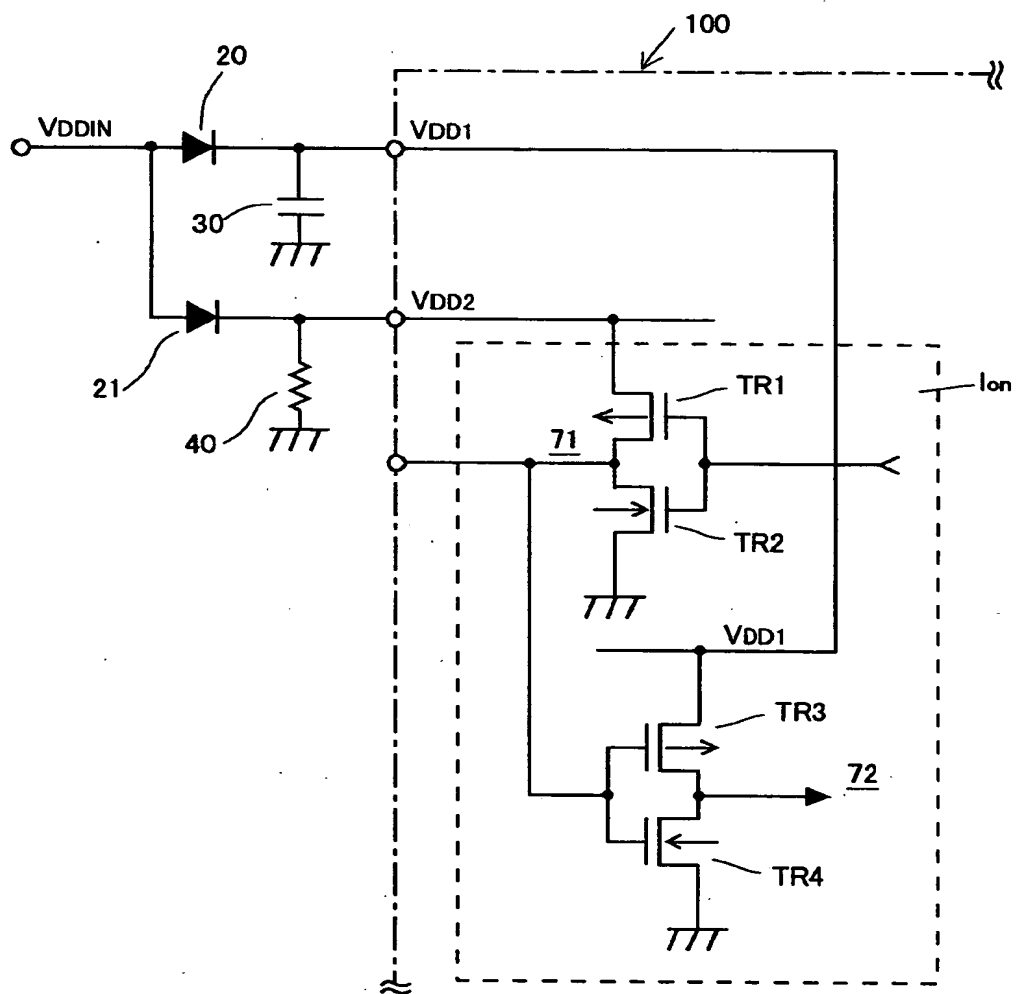
【図 3】



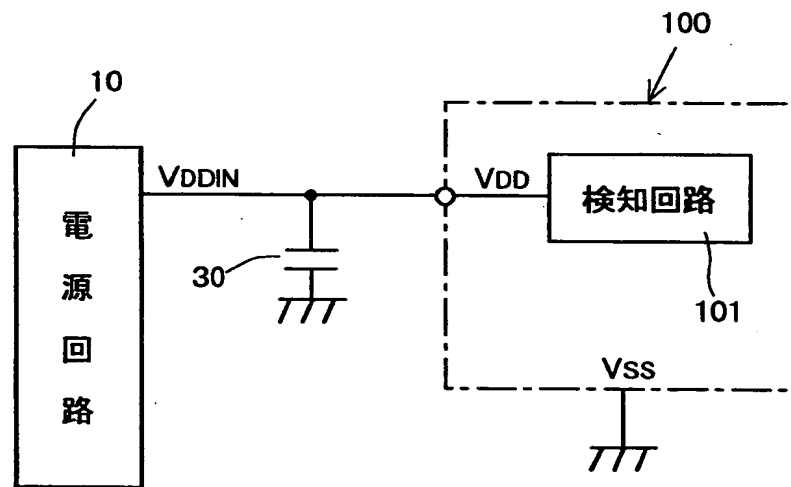
【図4】



【図 5】



【図6】



【書類名】 要約書

【要約】

【課題】 コンデンサによるバックアップ状態から復帰後のリセットスタート動作を高い精度で行うことができるマイクロコンピュータを提供する。

【解決手段】 バックアップ用コンデンサ30が付加された第1の電源VDD1と、バックアップ用コンデンサ30が付加されない第2の電源VDD2と、第2の電源に付加された抵抗負荷40とを設ける。第2の電源VDD2による電源電圧の供給が停止したときに抵抗負荷40により第2の電源VDD2のレベルは、ハイレベルからロウレベルに変化すると共に、第2の電源VDD2による電源電圧の供給が再開したときに、第2の電源VDD2のレベルは、ロウレベルからハイレベルに復帰する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社